

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

01.4.2004

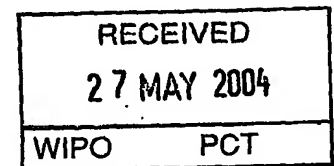
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 4月 1日

出 願 番 号  
Application Number: 特願2003-097542  
[ST. 10/C]: [JP2003-097542]

出 願 人  
Applicant(s): 松下電器産業株式会社

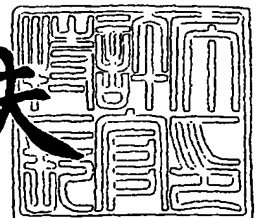


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 5月13日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 2037840124  
【提出日】 平成15年 4月 1日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 5/265  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                        会社内  
    【氏名】 川村 信  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100081813  
    【弁理士】  
    【氏名又は名称】 早瀬 憲一  
    【電話番号】 06(6395)3251  
【手数料の表示】  
    【予納台帳番号】 013527  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9600402  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示回路

【特許請求の範囲】

【請求項 1】 外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、

前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを書き込むことにより、表示データの合成を行う、

ことを特徴とする表示回路。

【請求項 2】 外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、

前記外部記憶部のデータとの映像合成処理を行う前の前記内部記憶部のデータが記憶されている前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを上書きすることにより、表示データの合成を行う、

ことを特徴とする表示回路。

【請求項 3】 外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記 $\alpha$ 合成機能により、前記外部記憶部のデータと前記内部記憶部のデータとの垂直フィルタ処理を行い、

前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータの垂直フィルタ処理を行ったデータを書き込むことにより、表示データの合成を行う、

ことを特徴とする表示回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テレビなどの表示回路に関し、特に回路規模の縮小化を図ったものに関するものである。

#### 【0002】

##### 【従来の技術】

従来、テレビなどの表示回路において、画面の合成やフィルタ処理を行う際には、合成を行う度に別々の回路を準備していた。

#### 【0003】

以下に、従来の表示回路について説明する。

図3に従来の表示回路を示す。

図3において、301は表示回路の外部に設けられた外部記憶部、302は外部記憶部301からのデータの転送を制御する転送制御部、303は本表示回路内に設けられた内部記憶部、304は該内部記憶部303からのOSD表示データを処理してOSD出力を行うOSD出力部、305は該内部記憶部303からの副映像データを処理して副映像出力を行う副映像出力部、306は該内部記憶部303からの主映像データを処理して主映像出力を行う主映像出力部、307は上記OSD出力部304、副映像出力部305、主映像出力部306からの出力を合成し映像出力を行う映像出力部である。

#### 【0004】

以上のように構成された表示回路についてその動作を説明する。

外部記憶部301から転送制御部302を通して内部記憶部303にOSD表示データが転送される。同様に外部記憶部301から転送制御部302を通して内部記憶部303に副映像データが転送される。同様に外部記憶部301から転送制御部302を通して内部記憶部303に主映像データが転送される。内部記憶部303に転送されたOSD表示データは、OSD出力部304に転送され処理される。内部記憶部303に転送された副映像データは、副映像出力部305に転送され処理される。内部記憶部303に転送された主映像データは、主映像出力部306に転送され処理される。OSD出力部304で処理されたOSD表示データと、副映像出力部305と主映像出力部306で処理された副映像データは、映像出力部307で合成され、最終の出力データが得られる。

## 【0005】

## 【特許文献1】

特開平11-352946号公報(第17頁、第1図)

## 【0006】

## 【発明が解決しようとする課題】

このような従来の表示回路では、上記OSD出力部304、副映像出力部305、および主映像出力部306からの、3つの出力を $\alpha$ 合成する複雑な映像出力部307が必要であり、かつ内部記憶部303上に、該OSD表示データ、副映像、主映像の各レイヤーのデータを配置するため、内部記憶部のサイズが増大することとなるという問題があった。また、OSD出力部、副映像出力部、主映像出力部は、専用に作り込まれており、これらの回路部は、その機能の変更を行うのが困難であった。

## 【0007】

この発明は以上のような問題点を解消するためになされたもので、回路規模を縮小することのできる表示回路を提供することを目的とする。

## 【0008】

## 【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1にかかる表示回路は、外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを書き込むことにより、表示データの合成を行うことを特徴とするものである。

## 【0009】

本発明の請求項2にかかる表示回路は、外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、前記外部記憶部のデータとの

映像合成処理を行う前の、該内部記憶部のデータが記憶されている前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを上書きすることにより、表示データの合成を行うことを特徴とするものである。

#### 【0010】

本発明の請求項3にかかる表示回路は、外部記憶部から内部記憶部へのデータの転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記 $\alpha$ 合成機能により、前記外部記憶部のデータと前記内部記憶部のデータとの垂直フィルタ処理を行い、前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータの垂直フィルタ処理を行ったデータを書き込むことにより、表示データの合成を行うことを特徴とするものである。

#### 【0011】

本発明においては、映像処理回路内に、外部記憶部と、転送制御部と、映像処理回路と、内部記憶部と、を備えたことにより、外部記憶部から転送されるデータと、すでに内部記憶部に蓄えられているデータとを映像処理回路で処理し、内部記憶部に書き戻すことを繰り返すことにより、3つの出力を $\alpha$ 合成する複雑な映像出力部を設ける代わりに、1つの $\alpha$ 合成回路で同等の機能を有する回路を構成することができる。

また、内部記憶部に蓄えられている処理前のデータに合成したデータを上書きすることにより、内部記憶部の使用量を減らすことができる。

#### 【0012】

また、OSD出力部と、副映像出力部と、主映像出力部の機能を併せ持つ映像処理回路を持ち、OSD表示、副映像表示、主映像表示の全ての処理をこれで行うことができるため、今まで副映像表示では実現できたが、OSD表示では実現することができなかった機能を、OSD表示としても用いることができる。

また、 $\alpha$ 合成回路は、これを垂直フィルタ回路としても機能させることができる。

#### 【0013】

**【発明の実施の形態】**

以下、本発明の実施の形態について、図1と図2を用いて説明する。

図1は、本発明の実施の形態1による表示回路を示し、図1において、101は、主映像データ、副映像データ、及びOSD表示データを保持する、本表示回路の外部に設けられた外部記憶部である。104は同じく主映像データ、副映像データ、及びOSD表示データを保持する、本表示回路内に設けられた内部記憶部である。102は外部記憶部101から内部記憶部104へのデータの転送を制御する転送制御部、103は転送制御部102により外部記憶部101から読み出された映像データと、内部記憶部104から読み出される映像データとを入力とし、これらの映像データに対し映像処理を行う映像処理回路である。

**【0014】**

以上のように構成された表示回路について、以下、その動作を説明する。

まず、外部記憶部101に蓄えられたデータが、転送制御部102を通り映像処理回路103で処理され、内部記憶部104に蓄えられる。次に、外部記憶部101に蓄えられたデータが、転送制御部102を通り、先ほど内部記憶部104に蓄えられたデータとあわせて、映像処理回路103で処理され、内部記憶部104に蓄えられる。また、内部記憶部104に蓄えられた2つのデータを映像処理回路103で処理し、再度内部記憶部104に蓄えられる。これを繰り返すことにより、最終の出力データが、内部記憶部104に蓄えられる。蓄えられた最終の出力データは、映像として出力される。

**【0015】**

図2は、上記映像処理回路103の構成を示し、図2において、201は外部記憶部アクセス要求回路であり、これは、外部記憶部101に対するアクセスを要求する外部記憶部リクエスト信号202と、そのリードアドレスを指示する外部記憶部リードアドレス203を、転送制御部102を介して外部記憶部101に出力する。これにより、該外部記憶部101からは、転送制御部102を介して外部記憶部リードデータ204を得る。

**【0016】**

また、上記外部記憶部アクセス要求回路201は、内部記憶部104に対する

アクセスを要求するリクエスト信号205を、内部記憶部リードインターフェース（以下、I/Fと称す）206に対して出力する。

#### 【0017】

内部記憶部リードI/F206は、上記リクエスト信号205を受けて、内部記憶部リードアドレス207を、内部記憶部104に出力する。これにより、内部記憶部104からは、リードデータ208を得る。

#### 【0018】

パラレルシリアル変換回路209は、内部記憶部リードI/F206からの出力208をパラレルデータからシリアルデータに変換し、内部記憶部104に映像出力210を出力する。

内部記憶部104は、このシリアルデータに変換された映像出力を、本表示回路の出力として、外部に出力する。

#### 【0019】

セクタ211は、外部記憶部アクセス要求回路201が読み出した外部記憶部リードデータ204と、内部記憶部リードI/F206の読み出したリードデータ208のいずれかを選択する。

シフト回路212は、セクタ211の選択したリードデータを、必要に応じて1画素単位 of データに加工する。

#### 【0020】

DDA（デジタル微分解析）回路214は、必要に応じてデジタル微分解析により画素間の補間を行い、シフト回路212の出力する映像データの水平方向の拡大、縮小処理を行う。

シフト回路213は、内部記憶部リードI/F206の出力するリードデータ208を必要に応じて1画素単位 of データに加工する。

#### 【0021】

LUT（ルックアップテーブル）回路215は、必要に応じてCLUT（カラールックアップテーブル）処理、及びガンマ補正処理等の色変換処理を行う。

CLUT処理とは、OSD表示データのように色番号によって表される映像データを、CLUTに基づいて色データに変換する処理である。また、ガンマ補正



処理も同様に、ガンマ補正用の LUT を用いて行われる。

#### 【0022】

$\alpha$  合成回路 216 は、DDA 回路 214 の出力と、LUT 215 の出力とを  $\alpha$  合成する。 $\alpha$  合成とは、透過度を表す情報である  $\alpha$  情報に基づいて、画像同士を重ね合わせる合成のことであり、ここでは、予め定められた  $\alpha$  情報に基づいて、画像同士を合成するものとするが、合成する画像自身に  $\alpha$  情報を持たせるようにしてもよい。

#### 【0023】

内部記憶部ライト I/F 217 は、内部記憶部ライトアドレス 218 により、 $\alpha$  合成回路 216 の合成結果として得られるライトデータ 219 を内部記憶部 104 に書き込む。

#### 【0024】

プロセッサ 220 は、映像処理回路 103 内の各部の動作を制御する。

以上のように構成された映像処理回路 103 について、以下、その動作を説明する。

#### 【0025】

まず、外部記憶部アクセス要求回路 201 に、プロセッサ 220 より命令が与えられ、転送制御部 102 に、外部記憶部リクエスト信号 202 と、外部記憶部リードアドレス 203 とが送信される。そうすると、外部記憶部リードデータ 204 が、転送制御部 102 より返ってくる。それとあわせて、内部記憶部リード I/F 206 にリクエスト信号 205 が伝えられ、そのタイミングにあわせて内部記憶部リードアドレス 207 が発行される。該内部記憶部リードアドレス 207 が発行されると、内部記憶部 104 よりリードデータ 208 が内部記憶部リード I/F 206 に返ってくる。返ってきたデータは、シフト回路 213 に転送され、必要に応じて 1 ドット単位のデータに加工される。加工されたデータは LUT 回路 215 に転送され、必要に応じて CLUT (カラーlookupアップテーブル) 処理、及びガンマ補正処理等の色変換処理が行われる。

#### 【0026】

一方、外部記憶部リードデータ 204 は、外部記憶部アクセス要求回路 201

を通り、セクタ回路 211 を通ってシフト回路 212 に転送され、必要に応じて 1 ドット単位のデータに加工される。加工されたデータは、DDA（デジタル微分解析）回路 214 を通り、水平方向の拡大、縮小処理が行われる。DDA 回路 214 の出力と、LUT 回路 215 の出力とは、 $\alpha$  合成回路 216 で  $\alpha$  合成が行われる。 $\alpha$  合成が行われた結果は、内部記憶部ライト I/F 217 に入り、内部記憶部ライトアドレス 218 と内部記憶部ライトデータ 219 とにより、内部記憶部 104 に上記処理結果が書き込まれる。

#### 【0027】

上記  $\alpha$  合成回路 216 においては、 $\alpha$  合成処理を行う以外にも、同じ画面上の水平の 2 ラインを読み込むことにより、垂直フィルタ処理を行うこともできる。たとえば、主映像の 2 ラインの各々を、該  $\alpha$  合成処理の各入力として読み込み、 $\alpha$  合成回路 216 で処理をすることにより、垂直のフィルタをかけることができる。

#### 【0028】

また、内部記憶部 104 に蓄えられた 2 種類のデータを処理する場合は、プロセッサ 220 より読み出しタイミングが内部記憶部リード I/F 206 に与えられ、内部記憶部 104 に対して内部記憶部リードアドレス 207 が与えられる。それにより、内部記憶部 104 からリードデータ 208 が返って来て、内部記憶部リード I/F 206 に、2 種類の内部記憶部 104 のデータが読み込まれる。一方は、セクタ回路 211 を通り、シフト回路 212 に転送され、必要に応じて 1 ドット単位のデータに加工され、DDA 回路 214 を通り、水平方向の拡大、縮小処理が行われる。もう一方は、シフト回路 213 に転送され、必要に応じて 1 ドット単位のデータに加工され、LUT 回路 215 に転送され、必要に応じて CLUT 処理やガンマ補正が行われる。DDA 回路 214 の出力と、LUT 回路 215 の出力とは、 $\alpha$  合成回路 216 に入り、 $\alpha$  合成される。 $\alpha$  合成されたデータは、内部記憶部ライト I/F 217 に転送され、内部記憶部ライトアドレス 218 と内部記憶部ライトデータ 219 とにより、内部記憶部 104 に転送される。内部記憶部 104 に蓄えられたデータを処理し、かつ、処理前のデータが不要な場合は、処理前のデータを処理後のデータで上書きすることにより、本表示

回路において必要な内部記憶部の容量を減らすことができる。

#### 【0029】

最後に、内部記憶部104に蓄えられた最終の出力データは、内部記憶部リードアドレス207を用いて、内部記憶部リードI/F206に、リードデータ208を通して転送される。転送されたデータは、パラレルシリアル変換回路209に転送され、映像出力210として出力される。

#### 【0030】

このような本実施の形態1による表示回路においては、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路103を用いて、外部記憶部101のデータと内部記憶部104のデータとを合成する映像合成処理を行い、その処理結果を内部記憶部104に書き込むことを繰り返すようにしたので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能とを併せ持つ $\alpha$ 合成回路を1つにすることができ、回路規模を削減することができる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できたがOSDでは実現できなかった機能をOSDでも実現することができる。さらに、上記のようにデータの上書きをするようにすることにより、内部記憶部の使用量をさらに削減することができ、さらには上記映像処理回路を用いてその $\alpha$ 合成機能により、外部記憶部のデータと内部記憶部のデータとの垂直フィルタ処理を行うようにすることにより、 $\alpha$ 合成回路を垂直フィルタ回路としても動作させることができ、更なる回路規模の削減をできる効果が得られる。

#### 【0031】

##### 【発明の効果】

以上のように、この発明の請求項1にかかる表示回路によれば、外部記憶部から内部記憶部へのデータ転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを書き込むことにより、表示データの合成を行う、ものとした

ので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ $\alpha$ 合成回路を、1つにすることができるため、回路規模を削減できる効果が得られる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できたが、OSDでは実現できなかった機能を、OSDでも使うことができる効果を得られる。

#### 【0032】

この発明の請求項2にかかる表示回路によれば、外部記憶部から内部記憶部へのデータ転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記外部記憶部のデータと前記内部記憶部のデータとを合成する映像合成処理を行い、前記外部記憶部のデータとの映像合成処理を行う前の前記内部記憶部のデータが記憶されている前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータとの映像合成処理を行ったデータを上書きすることにより、表示データの合成を行う、ものとしたので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ $\alpha$ 合成回路を、1つにすることができるため、回路規模を削減できる降下得られる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できたが、OSDでは実現できなかった機能を、OSDでも使うことができる効果を得られる。さらに、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果も得られる。

#### 【0033】

この発明の請求項3にかかる表示回路によれば、外部記憶部から内部記憶部へのデータ転送時に、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路を用いて、前記 $\alpha$ 合成機能により、前記外部記憶部のデータと前記内部記憶部のデータとの垂直フィルタ処理を行い、前記内部記憶部に、前記外部記憶部のデータと前記内部記憶部のデータの垂直フィルタ処理を行ったデータを書き込むことにより、表示データの合成を行う、ものとしたので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ $\alpha$ 合成回路を1つにすることができるため、回路規模を削減

する効果が得られる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できたが、OSDでは実現できなかった機能を、OSDでも使うことができる効果が得られる。さらには、 $\alpha$ 合成回路を、垂直フィルタ回路としても動作させることができ、更なる回路規模の削減をできる効果が得られる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の実施の形態 1 に係る映像処理装置（表示回路）の構成を示すブロック図である。

##### 【図 2】

本発明の実施の形態 1 に係る映像処理装置の、映像処理回路の構成を示すブロック図である。

##### 【図 3】

従来の映像処理装置の構成を示すブロック図である。

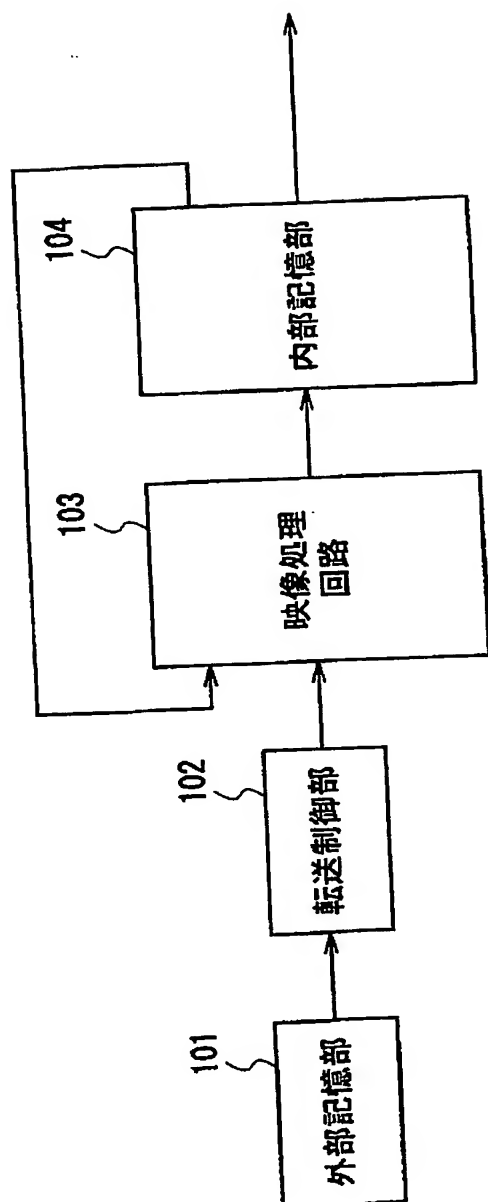
#### 【符号の説明】

- 101 外部記憶部
- 102 転送制御部
- 103 映像処理回路
- 104 内部記憶部
- 201 外部記憶部アクセス要求回路
- 202 外部記憶部リクエスト信号
- 203 外部記憶部リードアドレス
- 204 外部記憶部リードデータ
- 205 リクエスト信号
- 206 内部記憶部リード I/F
- 207 内部記憶部リードアドレス
- 208 リードデータ
- 209 パラレルシリアル変換回路
- 210 映像出力

- 2 1 1 セレクタ
- 2 1 2 シフト回路
- 2 1 3 シフト回路
- 2 1 4 DDA回路
- 2 1 5 LUT回路
- 2 1 6  $\alpha$  合成回路
- 2 1 7 内部記憶部ライト I / F
- 2 1 8 内部記憶部ライトアドレス
- 2 1 9 ライトデータ
- 2 2 0 プロセッサ
- 3 0 1 外部記憶部
- 3 0 2 転送制御部
- 3 0 3 内部記憶部
- 3 0 4 OSD出力部
- 3 0 5 副映像出力部
- 3 0 6 主映像出力部
- 3 0 7 映像出力部

【書類名】 図面

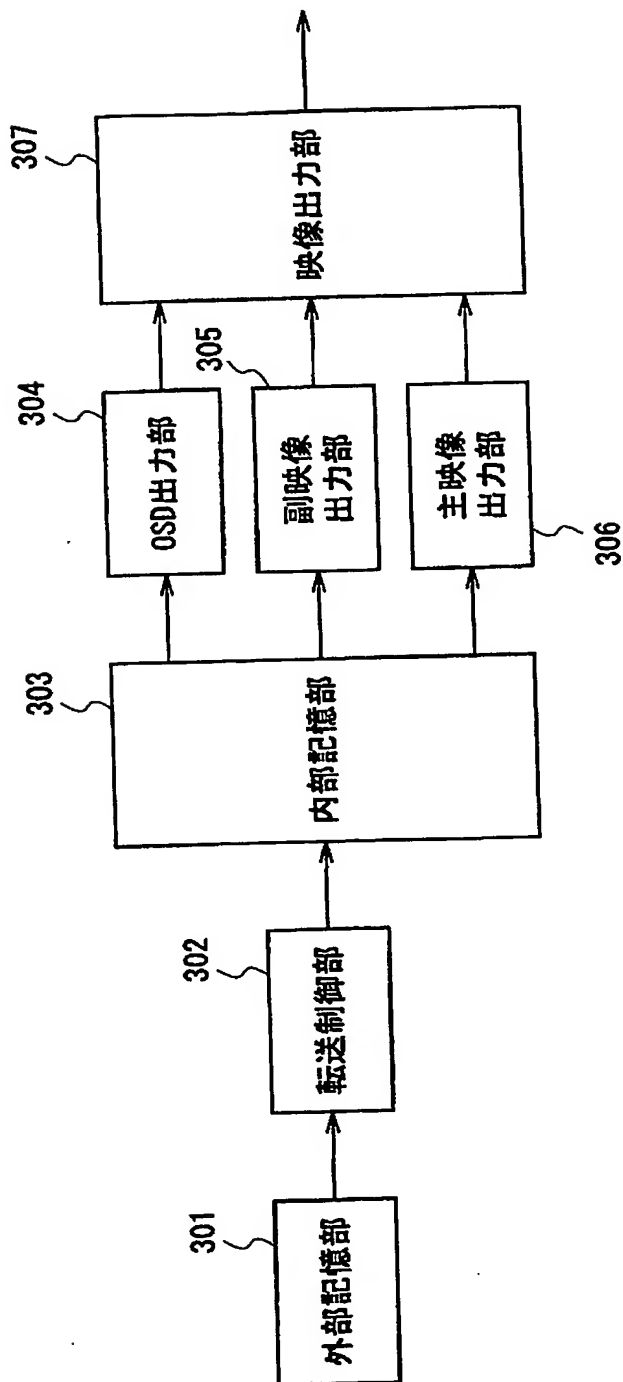
【図 1】







【図 3】



【書類名】 要約書

【要約】

【課題】 従来のOSD表示、副映像表示、主映像表示を重ねて行う表示回路においては、3つの表示の合成を行う複雑な映像出力部が必要で、かつ内部記憶部に各表示のレイヤーのデータを配置するため、メモリのサイズが増大する。また、OSD出力部、副映像出力部、主映像出力部は、専用に作り込まれており、機能の変更が困難である。

【解決手段】 表示回路において、外部記憶部101から該表示回路へのデータ転送時に、OSD出力部の機能と、副映像出力部の機能と、主映像出力部の機能と、 $\alpha$ 合成機能を併せ持つ映像処理回路103を用い、内部記憶部104のデータとの垂直フィルタ処理を行い、内部記憶部104へデータを上書きすることにより、表示を行う。

【選択図】 図1

特願 2003-097542

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住所

大阪府門真市大字門真1006番地

氏名

松下電器産業株式会社